



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61193456 A**(43) Date of publication of application: **27 . 08 . 86**

(51) Int. Cl.

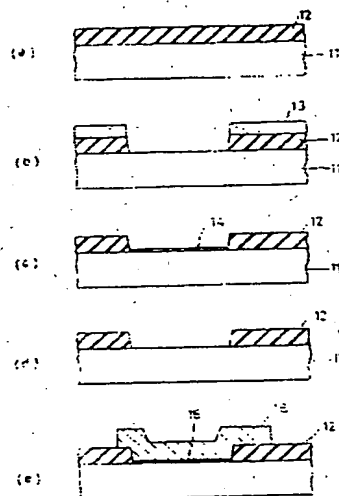
H01L 21/316**H01L 21/26****H01L 21/324**(21) Application number: **60033183**(22) Date of filing: **21 . 02 . 85**(71) Applicant: **TOSHIBA CORP TOSHIBA CERAMICS CO LTD**(72) Inventor: **YAMABE KIKUO
TAKAI NORIHEI
SHIRAI HIROSHI
WATANABE MASAHARU****(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT****(57) Abstract:**

PURPOSE: To suppress the generation of lattice defects related to conductivity in a process of the formation of a thermal oxide film by a method wherein hydrogen is caused to join unsaturated bonds in a silicon wafer surface when the silicon wafer is subjected to heat treatment in a hydrogen atmosphere.

CONSTITUTION: A thermal oxide film 12 is formed on the surface of a silicon wafer 11, a resist 13 is applied to the entire surface, and then etching is accomplished for the removal of the thermal oxide film 12 from a region planned for the formation of a gate oxide film. The silicon wafer 11 is then subjected to an RCA rinse and washing with water for the formation of a thin natural oxide film 14. Next, the wafer 11 is irradiated with light from a lamp, a halogen lamp for example, for the rise of the wafer surface temperature up to 1,000°C, and is left for a minute in argon gas including some hydrogen. In this process, unsaturated bonds present in the surface of the silicon wafer 11 accept hydrogen atoms for saturation. Next, a thermal oxide film 15 is formed on the wafer surface, which is

followed by the formation of a polycrystalline silicon film 16.

COPYRIGHT: (C)1986,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-193456

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)8月27日

H 01 L 21/316
21/26
21/324

6708-5F
6603-5F
6603-5F

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 半導体素子の製造方法

⑯ 特 願 昭60-33183

⑰ 出 願 昭60(1985)2月21日

⑱ 発 明 者 山 部 紀 久 夫 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑱ 発 明 者 高 井 法 平 山形県西置賜郡小国町大字小国町378番地 東芝セラミツクス株式会社小国製造所内
⑱ 発 明 者 白 井 宏 山形県西置賜郡小国町大字小国町378番地 東芝セラミツクス株式会社小国製造所内
⑱ 発 明 者 渡 辺 正 晴 東京都新宿区西新宿1丁目26番2号 東芝セラミツクス株式会社内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑲ 出 願 人 東芝セラミツクス株式 東京都新宿区西新宿1丁目26番2号
会 社
⑳ 代 理 人 弁理士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

- (1) シリコンウェハの表面に熱酸化膜を形成する工程を含む半導体素子の製造方法において、前記熱酸化膜を形成する工程の直前に、水素を含む雰囲気中で前記シリコンウェハを1100〔℃〕以上の温度で熱処理することを特徴とする半導体素子の製造方法。
- (2) 前記熱処理の時間を、1分以下に設定したことを特徴とする特許請求の範囲第1項記載の半導体素子の製造方法。
- (3) 前記熱酸化膜は、ゲート酸化膜であることを特徴とする特許請求の範囲第1項記載の半導体素子の製造方法。
- (4) 前記熱処理するに際し、ハロゲンランプ等の光加熱により前記シリコンウェハの表面を1100〔℃〕以上の温度に加熱することを特徴とする特許請求の範囲第1項記載の半導体素子の

製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体素子の製造方法に係わり、特にシリコンウェハの表面に形成される熱酸化膜中の欠陥発生を抑えた半導体素子の製造方法に関する。

(発明の技術的背景とその問題点)

従来、ゲート酸化膜を形成する場合、ゲート酸化の直前にRCA処理(文献: N. Kern and D. W. Puotinen, "RCA Review", 31, 187 (1970))等の薬品による洗浄を行った後、純水洗浄を行っている。この場合、純水洗浄によって、必ず自然酸化膜が7~15〔Å〕形成されることになる。

一方、近年の半導体集積回路の高集積化は目覚ましく、素子の微細化及び薄膜化に対する要求は極めて厳しいものがある。そして、高集積回路に用いられるゲート酸化膜の厚さとして100〔Å〕以下を要求される場合もでてくる。このため、前

記した自然酸化膜のゲート酸化膜に及ぼす影響は大きい。

また、前配純水洗浄を省略し、乾膜系薬品によって自然酸化膜を除去した後に直接ゲート酸化に至る場合、シリコンウェハの表面は不飽和結合を多く有し、極めて活性な表面となっている。その結果、シリコンウェハの表面は汚染物質が被着し易くなっている。従って、このような表面上に形成されたゲート酸化膜は、初期短絡不良を示す欠陥が多くなってしまう。

(発明の目的)

本発明は上記の事情を考慮してなされたもので、その目的とするところは、熱酸化膜の形成工程でその酸化膜に取り込まれる欠陥を効果的に低減することができ、素子特性の向上等をはかり得る半導体素子の製造方法を提供することにある。

(発明の概要)

本発明の骨子は、シリコンウェハを水素雰囲気中で熱処理することにより、シリコンウェハ表面の不飽和結合に水素を結合させ、熱酸化膜を形成

- 3 -

第1図(a)～(e)は本発明の一実施例方法に係わるMOSキャパシタ製造工程を示す断面図である。まず、CZ法により形成されウェハ状に切り出された面方位(100)、比抵抗5～20[Ωcm]のシリコンウェハを用い、1000[℃]で水素雰囲気酸化を10.0分間行い、第1図(a)に示す如くシリコンウェハ11の表面に厚さ500.0[Å]の熱酸化膜12を形成した。

次いで、第1図(b)に示す如く全面にレジスト13を塗布したのち、写真蝕刻法によりゲート酸化膜形成領域の酸化膜12をエッチング除去した。その後、第1図(c)に示す如くRCAリンス処理と水洗により上記シリコンウェハ11を洗浄した。このとき、ウェハ11の露出表面には、薄い自然酸化膜14が形成される。

次いで、シリコンウェハ11の表面に、例えばハロゲンランプを照射し、ウェハ表面温度を1100[℃]まで上昇させ、1.0[%]の水素を含むアルゴンガス中に1分間晒し、第1図(d)に示す如く前記自然酸化膜14を除去した。この

- 5 -

する際の電気伝導上の欠陥発生を抑制することにある。

即ち本発明は、シリコンウェハの表面に熱酸化膜を形成する工程を含む半導体素子の製造方法において、前記熱酸化膜を形成する工程の直前に、水素を含む雰囲気中で前記シリコンウェハを1100[℃]以上の温度で(望ましくは1分以下の時間)熱処理するようにした方法である。

(発明の効果)

本発明によれば、より確実に理想に近い状態でシリコンウェハの表面を自然酸化膜がなく且つ不活性な状態に制御することができるので、該ウェハ上に形成する熱酸化膜の欠陥発生を低減することができ、特に100[Å]以下の薄い熱酸化膜を十分な耐圧を持たせて作ることができる。このため、MOS集積回路等の信頼性向上、微細化及び高集積化をはかることができる。

(発明の実施例)

以下、本発明の詳細を図示の実施例によって説明する。

- 4 -

とき、シリコンウェハ11の表面の不飽和結合には水素原子が結合されることになる。

次いで、上記第1図(d)に示す工程の直後に、2.0[%]の乾燥酸素を含むアルゴンガス中で900[℃]20分間シリコンウェハ11を酸化し、第1図(e)に示す如くシリコンウェハ11の表面に厚さ40[Å]の熱酸化膜(ゲート酸化膜)15を形成した。続いて、多結晶シリコン膜16をLPCVD法により約0.4[μm]形成した。さらに、例えば1000[℃]10分間のPOC₂拡散法により、多結晶シリコン膜16の抵抗を低下させた後、写真蝕刻法によりゲート電極パターンを形成した。

上記形成された試料の耐圧不良率を測定したところ、第2図に示す如き結果が得られた。ここで、図中Aは本実施例による場合、Bは従来例の場合である。なお、いずれの場合も、ゲート面積は10[mm²]、ゲート酸化膜厚は50[Å]とした。第2図から判るように、本実施例の場合、従来例に比して、酸化膜の耐圧不良率が飛躍的に改

- 6 -

善されることが判る。

このように本実施例方法によれば、シリコンウェハ11の表面に形成される熱酸化膜15の欠陥密度を著しく低減させることができる。このため、半導体集積回路の高集積化に大きな効果を得られる。例えば、ゲート酸化膜の薄膜化を容易にし、MOS素子の動作特性向上及び信頼性の向上が可能となる。

なお、本発明は上述した実施例方法に限定されるものではない。例えば、希釈不活性ガスとして、アルゴンを用いたが、その他ネオン、ヘリウム等の貴ガスは勿論、窒素等の活性度の低いガスを用いてもよい。さらに、ゲート電極として、リン添加多結晶シリコンを用いたが、A₂、Mo、W等の高融点金属若しくはそのシリサイドを用いてもよい。また、ゲート酸化膜等の熱酸化膜形成前の熱処理温度は1100〔℃〕に限るものではなく、それ以上の温度であればよい。さらに、このときの処理時間は、高温熱処理による半導体ウェハへの種々の影響を考慮すると1分以下の短時間とするのが望ましい。

るのが望ましい。

また、実施例ではMOSキャパシタの製造に応用したが、MOSFET及びMOS集積回路は勿論のこと、他の熱酸化膜を有する半導体素子の製造に適用することが可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

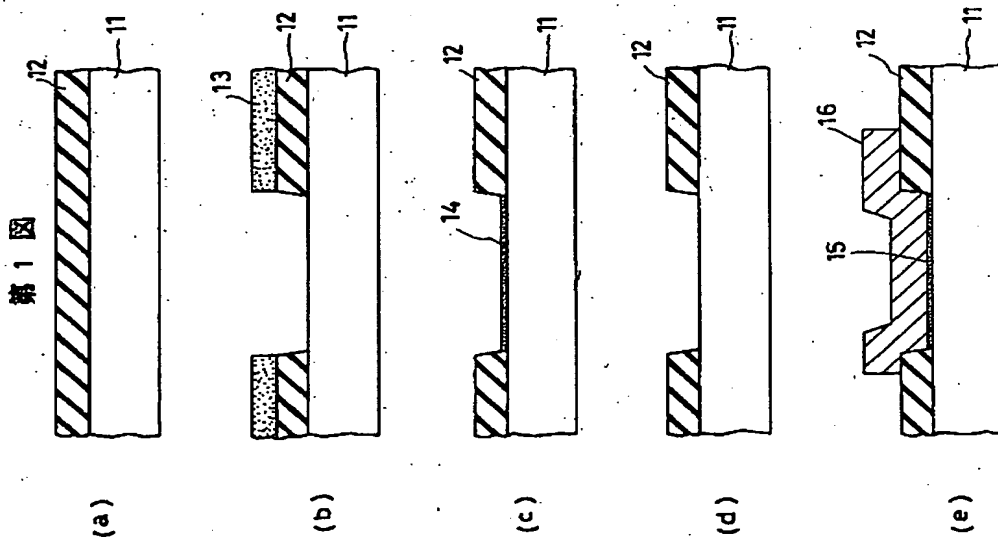
4. 図面の簡単な説明

第1図(a)～(e)は本発明の一実施例方法に係わるMOSキャパシタ製造工程を示す断面図、第2図は上記実施例の効果を説明するためのもので熱酸化膜の耐圧不良率を示す特性図である。

11…シリコンウェハ、12…熱酸化膜、13…レジスト、14…自然酸化膜、15…熱酸化膜(ゲート酸化膜)、16…添加多結晶シリコン膜(ゲート電極)。

出願人代理人 弁理士 鈴江武彦

- 8 -



第 2 図

